

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

**Defective images within this document are accurate representations of
the original documents submitted by the applicant.**

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

WEST**End of Result Set**

Generate Collection

L4: Entry 1 of 1

File: JPAB

May 27, 1997

PUB-NO: JP409139428A
DOCUMENT-IDENTIFIER: JP 09139428 A
TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: May 27, 1997

INVENTOR-INFORMATION:

NAME

COUNTRY

SHIBATA, KOJI
KAWAI, YOSHIKO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MITSUBISHI ELECTRIC CORP

APPL-NO: JP07298344

APPL-DATE: November 16, 1995

INT-CL (IPC): H01L 21/768; H01L 21/3065; H01L 21/316

ABSTRACT:

PROBLEM TO BE SOLVED: To prevent the reaction between the lower wiring layer, C2F6 gas and HF, and to prevent the lowering of reliability by a method wherein a semiconductor device is composed of the first insulating film containing no fluorine which is formed on the upper part only of the lower wiring layer and the second fluorine-containing insulating film formed on the upper part of the first insulating film.

SOLUTION: A gate insulating film 2, a plasma silicon oxide (P-SiO film) 5 which is the first insulating film containing no fluorine, a plasma oxide film 10, which is the second insulating film containing a lower wiring layer 9 and fluorine, and an upper wiring layer 14, are provided on a semiconductor substrate 1. Also, an interlayer insulating film, with which the upper wiring layer 14 and the lower wiring layer are electrically isolated, is provided. Especially, the interlayer insulating film is composed of the P-SiO film 5, which is formed on the upper part only of the lower wiring layer 9, and a fluorine-containing plasma oxide film 10 which is formed on the upper part of the P-SiO film 5. As a result, the reaction between the lower wiring layer and the C2F6 gas and HF can be prevented. Also, the decomposition of the lower wiring layer and the growth of readhered substance can be prevented.

COPYRIGHT: (C)1997, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-139428

(43) 公開日 平成9年(1997)5月27日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/768		H 0 1 L 21/90	M
	21/3065		21/316	X
	21/316			M
			21/302	N

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号 特願平7-298344

(22) 出願日 平成7年(1995)11月16日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 芝田 耕治

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72) 発明者 河合 由子

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74) 代理人 弁理士 宮田 金雄 (外3名)

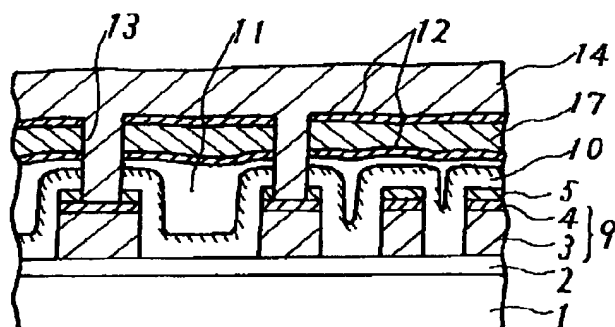
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 層間絶縁膜に低誘電率膜であるフッ素を含む絶縁膜を用いると、膜の形成時や吸湿により生成したフッ素イオンが配線層と反応して信頼性が低下する。

【解決手段】 層間絶縁膜を、配線層9の上部のみに形成したフッ素を含まないP-SiO膜5と、P-SiO膜5の上部全面に形成したフッ素を含むプラズマ酸化膜10とで構成している。

【効果】 P-SiO膜5が配線層9とプラズマ酸化膜10との反応を防止する。またP-SiO膜5を配線層9の上部のみに形成したので配線層間の容量の増加を招くことがない。



1 : 半導体基板

5 : P-SiO膜

9 : 配線層

10 : フッ素を含むプラズマ酸化膜

14 : 上部配線層

1

【特許請求の範囲】

【請求項1】 上部配線層と下部配線層とを電氣的に隔離する層間絶縁膜を有する半導体装置において、前記層間絶縁膜が前記下部配線層の上部のみに形成されたフッ素を含まない第1の絶縁膜と、前記第1の絶縁膜の上部に形成されたフッ素を含む第2の絶縁膜とで構成されていることを特徴とする半導体装置。

【請求項2】 上部配線層と下部配線層とを電氣的に隔離する層間絶縁膜を有する半導体装置の製造方法において、半導体基板の上部に導体膜を形成する工程と、前記導体膜の上部にフッ素を含まない第1の絶縁膜を形成する工程と、前記第1の絶縁膜の上部に形成したレジストパターンをマスクとして前記第1の絶縁膜と前記導体膜とのエッチングを行い、前記下部配線層を形成すると共に前記第1の絶縁膜を前記下部配線層の上部のみに残存させる工程と、前記レジストパターンを除去する工程と、前記第1の絶縁膜と前記下部配線層との表面を含む全面にフッ素を含む第2の絶縁膜を形成し前記第1の絶縁膜と前記層間絶縁膜を形成する工程とを含むこと特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置及びその製造方法に関し、特に多層配線構造における層間絶縁膜の構造及びその形成方法に関する。

【0002】

【従来の技術】近年、素子の微細化に伴い配線層間の間隔が狭くなり、配線層間の容量が増加して信号伝達が遅延してしまう。この信号伝達の遅延は、半導体装置の高速動作を妨げ半導体装置の性能向上を妨げる要因の一つになる。このため、配線層間に介在する絶縁膜の誘電率をできるだけ低下させることが必要であった。

【0003】従来の半導体装置を図3に示す。図において1は半導体基板、2はゲート絶縁膜、3はアルミニウムと銅との合金膜（以下、AlCu膜と記す）、4は反射防止膜であるチタン窒化膜（以下、TiN膜と記す）、9はAlCu膜3とTiN膜4とで形成される下部配線層である配線層、10はフッ素を含む第2の絶縁膜であるプラズマ酸化膜、11は平坦化のための塗布型の絶縁膜（以下、SOG膜と記す）、14は上部配線層、17はフッ素を含む絶縁膜である。多層構造の配線層9、14間に形成される層間絶縁膜はプラズマ酸化膜10とSOG膜11とフッ素を含む絶縁膜17とで形成されている。なおプラズマ酸化膜10は低誘電率膜であり、層間絶縁膜の誘電率を低下させ、また上層のSOG膜11との反応を防止するための表面処理がなされている。

【0004】また、従来の半導体装置の製造方法は、半導体基板1の上部全面にAlCu膜3とTiN膜4とを形成した後、上部に形成したレジストパターンをマスク

2

としてドライエッチングを行い配線層9を形成する。次に、配線層9の上部にプラズマ気相成長法（以下、プラズマCVD法と記す）によりプラズマ酸化膜10とSOG膜11と絶縁膜17とを形成して層間絶縁膜を形成する。次に、所定の位置にスルーホール13を開口した後上部配線層14を形成する。

【0005】

【発明が解決しようとする課題】しかしながら、配線層9の上部へのプラズマCVD法によるプラズマ酸化膜10の成膜時に、原料ガスであるフッ化炭素ガス（以下、C₂F₆ガスと記す）と配線層9の表面とが反応する。このため配線層9の分解や再付着物15の生成が起り、プラズマ酸化膜10の形状の劣化や配線層9、14間にボイド16が発生し、配線層9、14間の接続不良や絶縁不良を起す。またフッ素を含んだプラズマ酸化膜10は吸湿性が高く、吸湿によりプラズマ酸化膜10中にフッ化水素（以下、HFと記す）が生成して配線層9と反応する。その結果半導体装置の信頼性を低下させるという問題があった。

20 【0006】この発明は、上記のような問題点を解決するためになされたもので、配線層間の容量の増加を招くことなく、プラズマ酸化膜10の成膜時におけるC₂F₆ガスや、吸湿によりプラズマ酸化膜10中に生成するHFと配線層9との反応を防止する半導体装置の構造及びその製造方法を提供する事を目的とする。

【0007】

【課題を解決するための手段】この発明の請求項1に係わる半導体装置は、上部配線層と下部配線層とを電氣的に隔離する層間絶縁膜を有する半導体装置であって、層間絶縁膜が前記下部配線層の上部のみに形成されたフッ素を含まない第1の絶縁膜と、前記第1の絶縁膜の上部に形成されたフッ素を含む第2の絶縁膜とで構成されている。

30 【0008】この発明の請求項2に係わる半導体装置の製造方法は、上部配線層と下部配線層とを電氣的に隔離する層間絶縁膜を有する半導体装置の製造方法であって、半導体基板の上部に導体膜を形成する工程と、前記導体膜の上部にフッ素を含まない第1の絶縁膜を形成する工程と、前記第1の絶縁膜の上部に形成したレジストパターンをマスクとして前記第1の絶縁膜と前記導体膜とのエッチングを行い、前記下部配線層を形成すると共に前記第1の絶縁膜を前記下部配線層の上部のみに残存させる工程と、前記レジストパターンを除去する工程と、前記第1の絶縁膜と前記下部配線層との表面を含む全面にフッ素を含む第2の絶縁膜を形成し前記第1の絶縁膜と前記層間絶縁膜を形成する工程とを含む。

【0009】

【発明の実施の形態】

実施の形態1. 以下、本発明の実施の形態1について、図面を参照して説明する。図1は、実施の形態1に係わ

る半導体装置の断面図である。図において、従来例と同一符号は同一部分を示し、5はフッ素を含まない第1の絶縁膜であるプラズマシリコン酸化膜（以下、P-SiO膜と記す）を、12はフッ素を含まない絶縁膜を示す。また、P-SiO膜5は、プラズマシリコン窒化膜（P-SiN膜）やプラズマシリコン酸窒化膜（P-SiON膜）やポリイミドなどの有機樹脂等であってもよく、プラズマ酸化膜10はフッ素原子を含むガスを用いて形成する絶縁膜であれば何を用いてもよい。

【0010】以上のように、P-SiO膜5を形成したので配線層9とC₂F₆ガスとの反応を防止でき（TiN膜4の膜厚は上部の表面面積と比較して微小である。）、配線層9の分解や再付着物15の生成が起こらない。従ってプラズマ酸化膜10の形状の劣化や配線層9、14間のボイド16の発生を防止でき、配線層9、14間の接続不良や絶縁不良が生じない。また吸湿によりプラズマ酸化膜10中に生成するHFと配線層9との反応を防止し、半導体装置の信頼性の低下を防ぐ。またP-SiO膜5を配線層9の上部のみに形成しているので、誘電率が高いP-SiO膜5（ $\epsilon=4.5$ 、フッ素を含んだプラズマ酸化膜10は $\epsilon=3.7$ ）の増加を少なくできる。従って配線層間の容量の増加を招くことなく信頼性の低下を防止できる。

【0011】図2（a）（b）（c）（d）（e）および図1は、実施の形態1に係わる半導体装置の製造方法を工程を追って順次示した半導体装置の断面図である。

【0012】図2（a）に示すように、ゲート絶縁膜2が形成された半導体基板1上に、AlCu膜3（膜厚600nm）とTiN膜4（膜厚30nm）とを順次形成して導体膜6を形成する。次に、導体膜6の上部にプラズマCVD法によりP-SiO膜5（膜厚50nm）とレジスト膜7とを形成する。プラズマCVD法におけるP-SiO膜5の形成条件は、温度400℃、圧力5.0Torr、テトラエトキシシラン（TEOS）流量900SCCM、酸素（O₂）流量900SCCM、高周波側の周波数13.56MHz、出力0.76W/cm²、低周波側の周波数420kHz、出力0.76W/cm²である。

【0013】なお、TiN膜4とP-SiO膜5とは後工程の写真製版処理工程における反射防止膜となり、かつP-SiO膜5はTiN膜4とレジスト膜7との密着性を向上させる。

【0014】次に図2（b）に示すように、レジスト膜7に写真製版処理（露光→現像）を行いレジストパターン8を形成する。

【0015】次に図2（c）に示すように、レジストパターン8をマスクとして導体膜6とP-SiO膜5とのドライエッチングを行う。このエッチングによりAlCu膜3とTiN膜4とからなる配線層9が形成されると同時にP-SiO膜5が配線層9の上部のみに残存す

る。次に、レジストパターン8を除去する。

【0016】次に図2（d）に示すように、プラズマCVD法によりフッ素を含む第2の絶縁膜であるプラズマ酸化膜10（膜厚300nm）を全面に形成した後、上層のSOG膜11との反応を防止するための表面処理を行う。なお、プラズマCVD法におけるプラズマ酸化膜10の形成条件は、P-SiO膜5と同様の形成条件で、さらにフッ素を含む原料ガスであるC₂F₆ガス（流量400SCCM）を加える。

【0017】次に図2（e）に示すように、スピンコート法によりSOG膜11（膜厚150nm）を塗布した後、窒素（N₂）雰囲気中で熱処理（400℃、30分）を行い平坦化する。

【0018】次に図1に示すように、上記と同様の形成条件でプラズマCVD法により全面にフッ素を含まない絶縁膜12とフッ素を含む絶縁膜17とフッ素を含まない絶縁膜12とを順次形成し層間絶縁膜を形成する。次に、公知の方法により層間絶縁膜にスルーホール13を開口した後、上部配線層14を形成する。なお、フッ素を含まない絶縁膜12は、フッ素を含む絶縁膜17が下層のSOG膜11や上層の上部配線層14と反応するのを防止する。

【0019】また前記実施の形態1においては、荷電粒子によるゲート破壊を防止するため、出力を小さくした異なる周波数の複数の高周波（2周波）を用いて膜を形成しているが、1周波で形成してもよい。（形成条件：温度440℃、圧力4.2Torr、テトラエトキシシラン（TEOS）流量760SCCM、酸素（O₂）流量730SCCM、周波数13.56MHz、出力1.27W/cm²、C₂F₆ガス流量300SCCM）。

【0020】

【発明の効果】この発明の請求項1に係わる半導体装置においては、下部配線層の上部にフッ素を含まない第1の絶縁膜を形成しているので、下部配線層とC₂F₆ガスやHFとの反応を防止でき半導体装置の信頼性の低下を防ぐ。また第1の絶縁膜を下部配線層の上部のみに形成しているので、誘電率が高い第1の絶縁膜の増加を少なくでき、配線層間の容量の増加を招くことなく信頼性の低下を防止できる。

【0021】この発明の請求項2に係わる半導体装置の製造方法においては、配線層間の容量の増加を招くことなく信頼性の低下を防止できると共に、導体膜の上部に第1の絶縁膜を形成した後、導体膜のパターニングを行っているため、第1の絶縁膜が写真製版処理工程における反射防止膜となりかつ導体膜とレジスト膜との密着性を向上させる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1に係わる半導体装置を説明するための断面図である。

【図2】 この発明の実施の形態1に係わる半導体装置

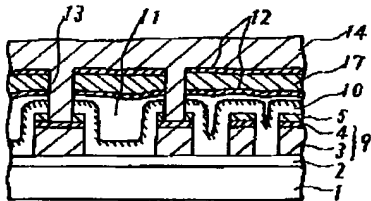
5

の製造方法を説明するための工程図である。

【図3】 従来例に係わる半導体装置を説明するための断面図である。

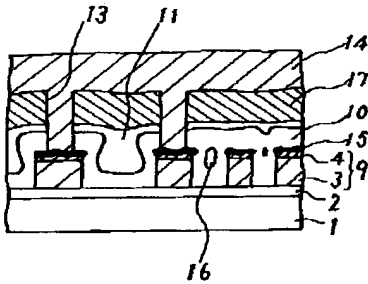
【符号の説明】

【図1】



- 1:半導体基板
5:P-SiO膜
9:配線層
10:フッ素を含むプラズマ酸化膜
14:上部配線層

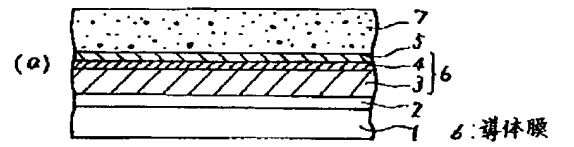
【図3】



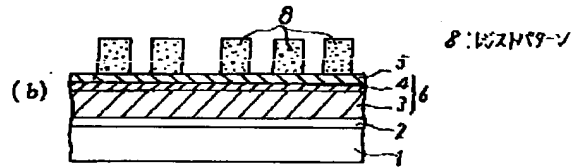
6

- 1 半導体基板、5 P-SiO膜、6 導体膜、9 配線層、8 レジストパターン、10 フッ素を含むプラズマ酸化膜、14 上部配線層。

【図2】



6:導体膜



8:レジストパターン

